

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-238065

(43)Date of publication of application : 09.09.1997

(51)Int.Cl.

H03K 19/0175

H03K 19/003

H03K 19/0944

(21)Application number : 08-044630

(71)Applicant : HITACHI LTD

HITACHI MICROCOMPUT SYST LTD

(22)Date of filing : 01.03.1996

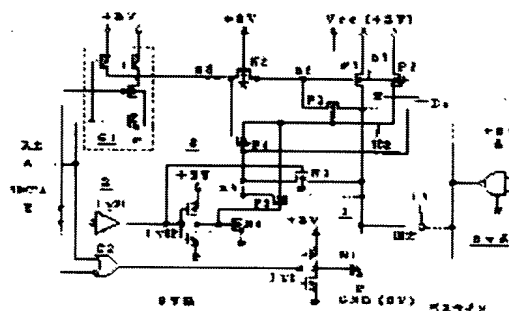
(72)Inventor : IIZUKA TAKUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent reverse flowing of a current from an output to a power supply potential point in the case that an output is set to a disable state being a high impedance state when an output of a 3V-system semiconductor integrated circuit device to a bus line of a standard 5V-system system by providing a well control circuit, a voltage bypass circuit and an input separator circuit.

SOLUTION: A P-channel MOS transistor(TR) P2 is a component of a well control circuit, a P-channel MOS TR P3 is a component of a voltage bypass circuit, and a P-channel MOS TR P4 and an N-channel MOS TR N2 are components of an input separator circuit. Even when a voltage higher than the power supply potential Vcc is applied to an output terminal 11 reversely in a disable state, reverse flowing of a current by a parasitic diode Ds of the P-channel MOS TR P1 forming a pull-up drive side of an output stage 1 is blocked.



LEGAL STATUS

[Date of request for examination]

29.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

p.2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-238065

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	19/0175		H 0 3 K 19/00	1 0 1 J
	19/003		19/003	E
	19/0944		19/094	A

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平8-44630

(22) 出願日 平成8年(1996)3月1日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(72) 発明者 飯塚 拓夫

東京都小平市上水本町5丁目22番1号 株

式会社日立マイコンシステム内

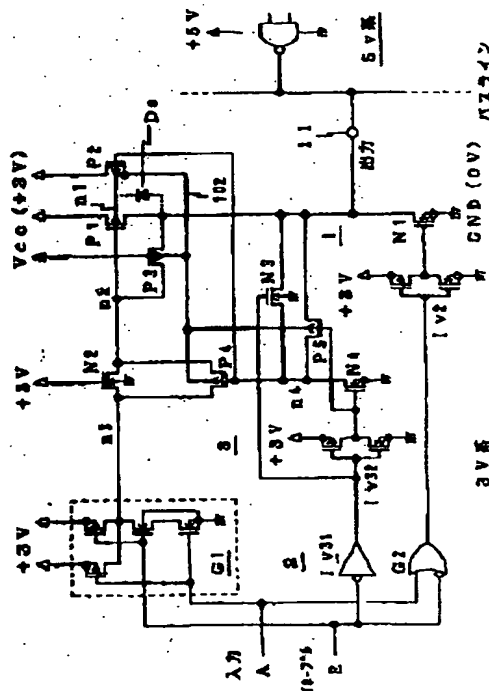
(74) 代理人 弁理士 大日方 富雄

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 3V系半導体集積回路装置の出力を標準5V系システム・ラインに接続して使用する場合、その出力を高インピーダンスのディスイネブル状態にしたときに、その出力から電源電位に電流が逆流するのを阻止する。

【解決手段】 出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタのウェル領域をディスイネブル時に電源電位から切り離すウェル制御回路と、上記pチャンネルMOSトランジスタのドレイン・ゲート間の電圧がしきい値を越えないようにそのドレイン・ゲート間をバイパスする電圧バイパス回路と、ディスイネブル時に上記pチャンネルMOSトランジスタのゲートを前段回路から切り離す入力分離回路を設ける。



(2)

特開平9-238065

2

【特許請求の範囲】

【請求項1】 出力をH（高レベル）またはL（低レベル）に駆動するイネーブル状態と出力を高インピーダンスにするディスイネーブル状態をとるトライステート出力バッファが組み込まれた半導体集積回路装置であって、上記トライステート出力バッファは、電源電位と出力の間に介在して出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタと、イネーブル時に上記ウェル領域を電源電位に接続する一方、ディスイネーブル時に上記ウェル領域を電源電位から切り離すウェル制御回路と、電源電位を越える電圧が出力に逆印加されたときに上記pチャンネルMOSトランジスタのドレイン・ゲート間の電圧がしきい値を越えないようにそのドレイン・ゲート間をバイパスする電圧バイパス回路と、イネーブル時に上記pチャンネルMOSトランジスタのゲートを前段回路に接続する一方、ディスイネーブル時に上記pチャンネルMOSトランジスタのゲートを前段回路から切り離す入力分離回路とを有することを特徴とする半導体集積回路装置。

【請求項2】 出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタのウェル領域と共通のウェル領域に第2のpチャンネルMOSトランジスタを形成し、この第2のpチャンネルMOSトランジスタによって、上記ウェル領域と電源電位間の接続をオン/オフさせるウェル制御回路を形成したことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタのウェル領域と共通のウェル領域に第3のpチャンネルMOSトランジスタを形成し、この第3のpチャンネルMOSトランジスタによって、上記pチャンネルMOSトランジスタのドレイン・ゲート間の電圧がしきい値を越えないようにそのドレイン・ゲート間をバイパスする電圧バイパス回路を形成したことを特徴とする請求項1または2に記載の半導体集積回路装置。

【請求項4】 出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタのウェル領域と共通のウェル領域に第4のpチャンネルMOSトランジスタを形成し、この第4のpチャンネルMOSトランジスタによって、イネーブル時に上記pチャンネルMOSトランジスタのゲートを前段回路に接続させる一方、ディスイネーブル時に上記pチャンネルMOSトランジスタのゲートを前段回路から切り離す入力分離回路を形成したことを特徴とする請求項1から3のいずれかに記載の半導体集積回路装置。

【請求項5】 出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタのウェル領域と共通のウェル領域に形成されるpチャンネルMOSトランジスタによってウェル制御回路と入力分離回路を形成するとともに、ディスイネーブル時に、上記ウェル制御回路と入力

分離回路を形成するpチャンネルMOSトランジスタの各ゲートを出力端子側に接続するスイッチ回路を設けたことを特徴とする請求項1から4のいずれかに記載の半導体集積回路装置。

【請求項6】 出力段は、プルアップ駆動側をなすpチャンネルMOSトランジスタとプルダウン駆動側をなすnチャンネルMOSトランジスタとによるCMOS出力段であることを特徴とする請求項1から5のいずれかに記載の半導体集積回路装置。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置、さらにはトライステート出力バッファが組み込まれた半導体集積回路装置に適用して有効な技術に関するものであって、たとえば3V系の低電圧電源で動作させられるCMOSあるいはBi-CMOSプロセスの半導体集積回路装置に利用して有効な技術に関するものである。

【0002】

20 【従来の技術】論理用の半導体集積回路装置の分野では、高集積密度化、高速化、低消費電力化のために、標準の+5V電源電圧よりも低い+3.3V電源電圧で動作する3V系半導体集積回路装置が提供されている。

【0003】この3V系半導体集積回路装置を標準の5V系システムのバスラインに接続して使用するためには、5V振幅のシステム信号が出力に逆印加されても正常に動作することができるトライステート出力バッファを組み込む必要がある（たとえば、日経BP社刊行「日経マイクロデバイス」83～88ページ参照）。

30 【0004】

【発明が解決しようとする課題】しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

【0005】すなわち、3V系半導体集積回路装置のトライステート出力バッファの出力を5V系システムのバスラインに接続した場合、CMOS出力段をなすpチャンネルMOSトランジスタとnチャンネルMOSトランジスタを共にオフ状態にすることで出力を高インピーダンス状態にしても、出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタのドレイン領域からウェル領域に向けて順方向にpn接合の寄生ダイオードが形成されることにより、出力から内部の3V系電源電位に向けて電流が逆流してしまうようになる。

40 【0006】この寄生ダイオードによる電流の逆流を阻止するために、本発明者等は、出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタのウェル領域を電源電位から分離させることを検討した。つまり、pチャンネルMOSトランジスタのウェル領域（いわゆるバックゲート）は通常、電源電位（ソース側）に接続さ
50 れているが、これを電源電位から分離させることで、上

3

記寄生ダイオードによる電流の逆流を阻止することを検討した。

【0007】ところが、ウェル領域を電源電位から分離させても、pチャンネルMOSトランジスタのドレイン電圧がそのドレインとゲート間の逆しきい値を越えてしまうと、pチャンネルMOSトランジスタそのものがオン動作せられ、このオン動作せられたpチャンネルMOSトランジスタを通して出力から内部の3V系電源電位に電流が流れ込んでしまう。

【0008】このように、従来の半導体集積回路装置では、出力を相対的に高電圧の電源系システムに接続して使用する場合、具体的には、3V系半導体集積回路装置の出力を標準の5V系システムのバスラインに接続して使用するような場合、その出力を高インピーダンス状態とするディスイネーブル時において、その出力から電源電位に電流が逆流することを確実に阻止することができないという問題があった。

【0009】本発明の目的は、たとえば3V系半導体集積回路装置の出力を標準の5V系システムのバスラインに接続して使用するような場合であっても、その出力を高インピーダンスのディスイネーブル状態にしたときに、その出力から電源電位に電流が逆流するのを確実に阻止させる、という技術を提供することにある。

【0010】本発明の前記ならびにそのほかの目的と特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0012】すなわち、電源電位と出力の間に介在して出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタのウェル領域をディスイネーブル時に電源電位から切り離すウェル制御回路と、電源電位を越える電圧が出力に逆印加されたときに上記pチャンネルMOSトランジスタのドレイン・ゲート間の電圧がしきい値を越えないようにそのドレイン・ゲート間をバイパスする電圧バイパス回路と、ディスイネーブル時に上記pチャンネルMOSトランジスタのゲートを前段回路から切り離す入力分離回路を設ける、というものである。

【0013】上述した手段によれば、ドレインとウェル間の寄生ダイオードによる電流の逆流を阻止することができるとともに、pチャンネルMOSトランジスタのドレイン電圧がそのドレインとゲート間の逆しきい値を越えてしまうことによる電流の逆流も阻止することができる。

【0014】これにより、たとえば3V系半導体集積回路装置の出力を標準の5V系システムのバスラインに接続して使用するような場合であっても、その出力を高インピーダンスのディスイネーブル状態にしたときに、そ

(3)

特開平9-238065

4

の出力から電源電位に電流が逆流するのを確実に阻止させる、という目的が達成される。

【0015】

【発明の実施の形態】以下、本発明の好適な実施態様を図面を参照しながら説明する。

【0016】なお、図において、同一符号は同一あるいは相当部分を示すものとする。

【0017】図1は本発明の技術が適用された半導体集積回路装置の一実施態様を示したものであって、1は出力段、2は前段回路、3はトライステート制御回路である。

【0018】出力段1は、pチャンネルMOSトランジスタP1とnチャンネルMOSトランジスタN1によるCMOS回路で構成されている。pチャンネルMOSトランジスタP1は電源電位Vcc(+3V)と出力端子11の間に介在して出力のプルアップ駆動側をなす。nチャンネルMOSトランジスタN1は出力端子11と接地基準電位GND(0V)の間に介在して出力のプルダウン駆動側をなす。プルアップ駆動側のpチャンネルMOSトランジスタP1は、図2に示すように、ウェル領域n1がVcc(ソース側)から分離されている。

【0019】前段回路2は、CMOS論理ゲートG1、G2およびCMOSインバータIv2により構成され、イネーブル信号EがH(高レベル)のときに、出力段1のpチャンネルMOSトランジスタP1とnチャンネルMOSトランジスタN1を入力信号Aに応じて相補的にオン/オフ制御するための信号を出力する。

【0020】トライステート制御回路3は、CMOSインバータIv31、Iv32、pチャンネルMOSトランジスタP2、P3、P4、P5、nチャンネルMOSトランジスタN2、N3、N4により構成され、イネーブル信号EがL(低レベル)のときに、出力段1のpチャンネルMOSトランジスタP1とnチャンネルMOSトランジスタN1を、入力信号Aの状態に関係なく、共にオフ状態にする。

【0021】ここで、pチャンネルMOSトランジスタP1~P5は共通のウェル領域n1に形成されている。

【0022】pチャンネルMOSトランジスタP2は、P1のウェル領域n1とVccの間に介在し、イネーブル(E=H)時にP1のウェル領域n1をVccに接続させる一方、ディスイネーブル(E=L)時にそのウェル領域n1をVcc(P1のソース)から切り離すウェル制御回路を形成する。

【0023】pチャンネルMOSトランジスタP3は、そのゲートがVccに接続されるとともに、そのドレインとソースがP1のドレインとゲートの間に接続されていて、出力端子11に高電圧(+5V)が印加されたときに、P1のドレイン・ゲート間の電圧がしきい値を越えないように、そのP1のドレイン・ゲート間をバイパスする電圧バイパス回路を形成する。

5

【0024】pチャンネルMOSトランジスタP4とnチャンネルMOSトランジスタN2は、イネーブル時に上記P1のゲートを前段回路2（CMOS論理ゲートG1の出力）に接続する一方、ディスイネーブル時に上記P1のゲートを前段回路2から切り離す入力分離回路を形成する。

【0025】pチャンネルMOSトランジスタP5とnチャンネルMOSトランジスタN3は、ディスイネーブル時に、上記ウェル制御回路と入力分離回路を形成するpチャンネルMOSトランジスタP2、P4の各ゲートを出力端子11に接続するMOSスイッチ回路を形成する。

【0026】図2は、出力段1のプルアップ駆動側をなすpチャンネルMOSトランジスタP1の素子構造の概略を示したものであって、101はp型半導体基板、102はn型ウェル拡散層（ウェル領域n1）、103はp型ソース・ドレイン拡散層、104はゲート酸化膜、105は表面酸化膜、106はゲート電極、107は電極取り出し配線をそれぞれ示す。

【0027】同図において、p型ソース・ドレイン拡散層103とn型ウェル拡散層102との間には、pn接合による寄生ダイオードDsが形成される。従来の場合、その寄生ダイオードDsを通して出力端子11から電源電位Vcc（+3V）に電流が逆流する恐れがあったが、本発明では、上述したように、そのn型ウェル拡散層102をディスイネーブル時にVccから切り離すことで寄生ダイオードDsによる電流の逆流を阻止するようにしてある。

【0028】さらに、図1に示すように、出力端子11に高電圧（+5V）が逆印加されたときに、ゲートがVcc（+3V）に接続されているpチャンネルMOSトランジスタP3がオン動作することにより、P1のドレイン・ゲート間電圧がバイパスされる。これにより、P1のドレイン電圧がそのドレインとゲート間の逆しきい値を越えてしまうことによる電流の逆流も阻止するようにしてある。

【0029】次に、主要部分の動作について説明する。

【0030】図1において、まず、イネーブル信号EをHにしてイネーブル状態を設定した場合、出力段1のプルアップ駆動側をなすpチャンネルMOSトランジスタP1は、論理ゲートG1およびMOSトランジスタN2、P4を介して与えられる入力信号Aによりオン/オフ制御される。また、出力段1のプルアップ駆動側をなすnチャンネルMOSトランジスタN1は、論理ゲートG2およびインバータIv2を介して与えられる入力信号Aにより、上記pチャンネルMOSトランジスタP1に対して相補的にオン/オフ制御される。これにより、出力段1は入力信号Aに応じて出力端子11をHまたはLに論理駆動する。

【0031】この場合、出力段1のpチャンネルMOS

(4)

特開平9-238065

6

トランジスタP1は、そのウェル領域n1がpチャンネルMOSトランジスタP2を介してVcc（+3V）に接続された状態でオン/オフ動作する。

【0032】次に、イネーブル信号EをLにしてディスイネーブル状態を設定した場合、論理ゲートG1、G2の出力はそれぞれ、入力信号Aの状態にかかわらず、Hに固定される。これにより、出力段1のpチャンネルMOSトランジスタP1とnチャンネルMOSトランジスタN1が共にオフ状態に設定されて、出力が高インピーダンスの開放状態となる。

【0033】これとともに、pチャンネルMOSトランジスタP2がオフ設定されて、pチャンネルMOSトランジスタP1のウェル領域n1がVccから切り離される。これにより、出力端子11から寄生ダイオードDsを経由する電流の逆流経路が遮断される。

【0034】ここで、出力端子11に電源電位Vcc（+3V）よりも高い電圧（+5V）が逆印加されると、その逆印加電圧（+5V）により、pチャンネルMOSトランジスタP3のゲートにドレインを基準とする逆しきい値電圧（5V-3V）が立ち上がろうとするが、その前にP3のゲートに逆しきい値が立ち上がってP3がオン動作し、このP3のオン動作により、pチャンネルMOSトランジスタP1のゲート側（n2）にドレイン側（出力端子11側）とほぼ同じ電圧（+5V）が印加されるようになる。これにより、P1は、ゲートに逆しきい値電圧が立ち上がるのが防止されて、オフ状態を保つことができる。

【0035】このとき、pチャンネルMOSトランジスタP1のゲートと論理ゲートG1の間に介在しているnチャンネルMOSトランジスタN2とpチャンネルMOSトランジスタP4の各ドレイン側（n2）にもそれぞれ、pチャンネルMOSトランジスタP3を介して出力端子11の高電圧（+5V）が印加される。

【0036】しかし、nチャンネルMOSトランジスタN2は、ソース側（n3）が論理ゲートG1の出力に接続されてHに固定されているとともに、ゲート側（n3）に電源電位Vcc（+3V）が印加されていることにより、ゲートにしきい値電圧が立たず、したがってオフ状態を保つ。また、pチャンネルMOSトランジスタP4は、nチャンネルMOSトランジスタN3とpチャンネルMOSトランジスタP5によるスイッチ回路を介して出力端子11の高電圧（+5V）がゲート側（n4）に印加されることにより、やはりゲートにしきい値電圧が立たず、したがってこれもオフ状態を保つ。N3とP5はスイッチ回路として動作し、ディスイネーブル状態のときにオン動作させられる。

【0037】上述したように、本発明では、ディスイネーブル状態のときに、出力端子11に電源電位Vccよりも高い電圧が逆印加されても、出力段1のプルアップ駆動側をなすpチャンネルMOSトランジスタP1の寄

10

20

30

40

50

(5)

特開平9-238065

7

生ダイオードDsによる電流の逆流を阻止することができる。これとともに、そのpチャンネルMOSトランジスタP1のドレイン電圧がそのドレインとゲート間の逆しきい値を越えてしまうことによる電流の逆流も阻止することができる。

【0038】これにより、たとえば3V系半導体集積回路装置の出力を標準の5V系システムバスラインに接続して使用する場合であっても、その出力を高インピーダンスのディスイネブール状態にしたときに、その出力から電源電位に電流が逆流するのを確実に阻止させることができるようになる。

【0039】以上、本発明者によってなされた発明を実施態様にもとづき具体的に説明したが、本発明は上記実施態様に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、出力段1のプルダウン駆動側をなすnチャンネルMOSトランジスタN1はバイポーラ・トランジスタであってもよい。

【0040】以上の説明では主として、本発明者によってなされた発明をその背景となった利用分野である論理用の半導体集積回路装置に適用した場合について説明したが、それに限定されるものではなく、たとえばアナログ・デジタル混在型の半導体集積回路装置にも適用できる。

【0041】

【発明の効果】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0042】すなわち、たとえば3V系半導体集積回路

8

装置の出力を標準の5V系システムバスラインに接続して使用する場合であっても、その出力を高インピーダンスのディスイネブール状態にしたときに、その出力から電源電位に電流が逆流するのを確実に阻止させることができる、という効果が得られる。

【図面の簡単な説明】

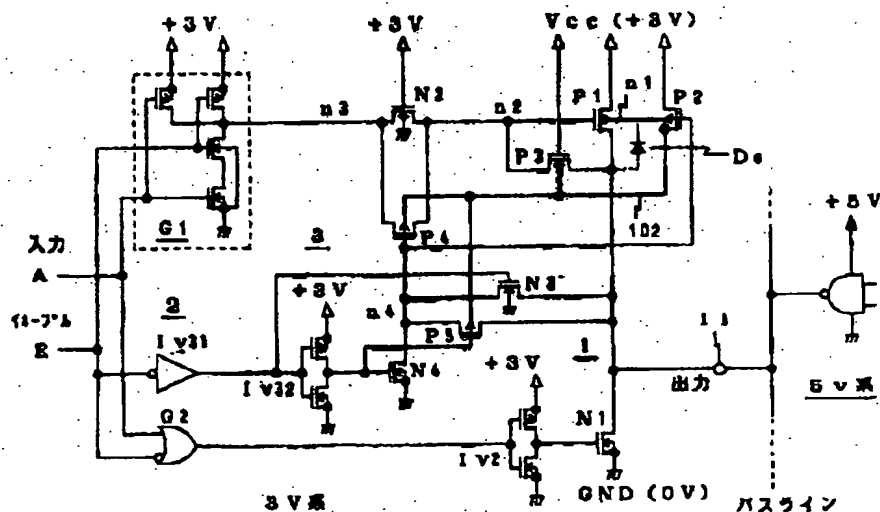
【図1】本発明の技術が適用された半導体集積回路装置の要部における一実施態様を示す回路図である。

【図2】出力段のプルアップ駆動側をなすpチャンネルMOSトランジスタの素子構造を示す概略図である。

【符号の説明】

- 1 出力段
- 1.1 出力端子
- 2 前段回路
- 3 トライステート制御回路
- G1, G2 論理ゲート
- Iv2, Iv31, Iv32 インバータ
- P1~P5 pチャンネルMOSトランジスタ
- N1~N4 nチャンネルMOSトランジスタ
- Vcc 内部電源電位 (+3V)
- GND 接地基準電位
- 101 p型半導体基板
- 102 n型ウェル拡散層 (ウェル領域n1)
- 103 p型ソース・ドレイン拡散層
- 104 ゲート酸化膜
- 105 表面酸化膜
- 106 ゲート電極
- 107 電極取り出し配線
- Ds 寄生ダイオード

【図1】



特開平 9-238065

【例2】

